

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-053267

(43)Date of publication of application : 23.02.2001

(51)Int.Cl.

H01L 27/148
H04N 5/335

(21)Application number : 11-229569

(71)Applicant : SONY CORP

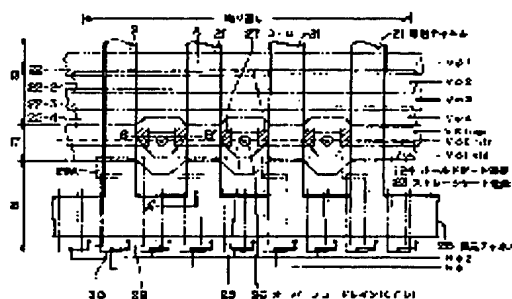
(22)Date of filing : 16.08.1999

(72)Inventor : HIROTA ISAO

(54) SOLID-STATE IMAGE SENSING ELEMENT AND ITS DRIVING METHOD AND CAMERA SYSTEM**(57)Abstract:**

PROBLEM TO BE SOLVED: To set a compression rate in a vertical direction arbitrarily by blocking transfer of signal charge from a vertical transfer part to a horizontal transfer part selectively at a line unit and draining it.

SOLUTION: A vertical CCD 13 which is a vertical transfer part consists of a transfer channel 21 for transferring signal charge and transfer electrodes 22-1 to 22-4 of four phases arranged repeatedly overlapping with each other above the transfer channel 21 in a transfer direction thereof. An overflow drain 26 which is a charge drain part is formed in each region 25 between the transfer channels 21. An overflow barrier 27 is formed in this way to selectively block and drain signal charge in the transfer channel 21 at a line unit between the transfer channel 21 and the region 25 in a part below the storage gate electrode 23.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-53267
(P2001-53267A)

(43) 公開日 平成13年2月23日 (2001.2.23)

(51) Int.Cl.⁷

識別記号

F I

ターミナル (参考)

H 0 1 L 27/148

H 0 1 L 27/14

B 4 M 1 1 8

H 0 4 N 5/335

H 0 4 N 5/335

F 5 C 0 2 4

審査請求 未請求 請求項の数 5 O L (全 9 頁)

(21) 出願番号 特願平11-229569

(22) 出願日 平成11年8月16日 (1999.8.16)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 広田 功

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100086298

弁理士 船橋 國則

Fターム (参考) 4M118 AA10 AB01 BA10 CA02 DB01

DB06 DB08 FA06 FA14 FA18

FA24 FA39

5C024 AA01 CA23 DA05 FA01 GA11

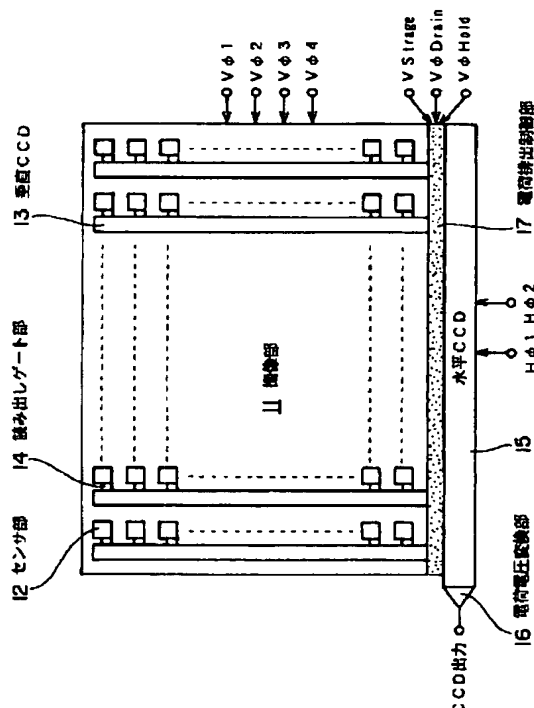
GA43 GA45 JA25

(54) 【発明の名称】 固体撮像素子およびその駆動方法並びにカメラシステム

(57) 【要約】

【課題】 センサ部から垂直CCDへ信号電荷を読み出す段階でライン間引きを行う構成をとった場合は、予め決められた特定の間引き率しか実現できなく、したがって垂直圧縮率を任意に設定できない。

【解決手段】 垂直CCD13と水平CCD15との間のVH転送部に、ホールドゲート電極24、ストレージゲート電極23およびオーバーフロードレイン26を設けて電荷排出制御部17を構成し、制御電圧であるドレイン電圧 $V_{\phi Drain}$ によってオーバーフロードレイン26を電圧変調することで、電荷排出制御部17に転送されてきた信号電荷をライン単位で掃き出し、ライン間引きによる垂直圧縮を実行する。



【特許請求の範囲】

【請求項1】 行列状に配置されて光電変換を行う複数のセンサ部と、

前記センサ部から読み出された信号電荷を垂直転送する垂直転送部と、

前記垂直転送部から移送された信号電荷を水平転送する水平転送部と、

前記垂直転送部から前記水平転送部への信号電荷の転送を行単位で選択的に阻止しかつ排出する電荷排出制御部とを備えたことを特徴とする固体撮像素子。

【請求項2】 前記電荷排出制御部は、前記垂直転送部と前記水平転送部との間に設けられて信号電荷の転送を選択的に阻止するホールドゲート部と、前記垂直転送部から前記水平転送部への転送チャンネルにおいて前記ホールドゲート部によって転送阻止された信号電荷を蓄積する電荷蓄積部と、前記電荷蓄積部に隣接して設けられ、制御電圧が印加されることによって前記電荷蓄積部に蓄積された信号電荷を排出する電荷排出部とを有することを特徴とする請求項1記載の固体撮像素子。

【請求項3】 前記電荷蓄積部および前記電荷排出部の各電位が同電位に設定されており、

前記制御電圧が前記電荷蓄積部および前記電荷排出部に同時に印加されることを特徴とする請求項2記載の固体撮像素子。

【請求項4】 行列状に配置されて光電変換を行う複数のセンサ部と、前記センサ部から読み出された信号電荷を垂直転送する垂直転送部と、前記垂直転送部から移送された信号電荷を水平転送する水平転送部とを備えた固体撮像素子において、

前記垂直転送部から前記水平転送部へ信号電荷を転送する際に、その転送を行単位で選択的に阻止しかつ排出することを特徴とする固体撮像素子の駆動方法。

【請求項5】 行列状に配置されて光電変換を行う複数のセンサ部、前記センサ部から読み出された信号電荷を垂直転送する垂直転送部、前記垂直転送部から移送された信号電荷を水平転送する水平転送部および前記垂直転送部から前記水平転送部への信号電荷の転送を行単位で選択的に阻止しかつ排出する電荷排出制御部を有する固体撮像素子と、

通常撮像モードと間引き読み出しモードとを択一的に設定可能な撮像モード設定手段と、

前記撮像モード設定手段による前記間引き読み出しモードの設定時に、行単位での信号電荷の排出動作を行うべく前記電荷排出制御部を駆動する駆動手段とを備えたことを特徴とするカメラシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、固体撮像素子およびその駆動方法並びにカメラシステムに関し、特に垂直方向の画素情報を間引く垂直圧縮が可能な固体撮像素子

およびその駆動方法、並びに当該固体撮像素子を撮像デバイスとして用いたカメラシステムに関する。

【0002】

【従来の技術】 デジタルスチルカメラ（DSC）では、撮像デバイスとして例えば、全画素の信号電荷を同時刻に一斉に垂直転送部に読み出し、かつ当該垂直転送部中で混合せずに独立に転送して出力するいわゆる全画素読み出し方式の固体撮像素子、例えばCCD（Charge Coupled Device）型撮像素子が用いられている。また、DSC用CCD型撮像素子では、高画質の静止画の撮像を目的として多画素化が進められている。

【0003】 ところで、デジタルスチルカメラの場合、撮像時にピントを合わせたり、撮像時のカメラアングルを調整するためには、撮像中の画像をモニタリングする必要がある。そのために、デジタルスチルカメラには、一般的に、撮像画像を写し出すモニタ、例えば液晶TVモニタが装備されている。この液晶TVモニタに対して、特に多画素のCCD型撮像素子の撮像画像を写し出すためには、フレームレートを上げる必要がある。

【0004】 そのために、全画素読み出し方式の多画素CCD型撮像素子では、従来、一部のライン（行）の信号電荷を画素から垂直転送部に読み出さない（以下、これを間引き読み出しと称す）ことで、垂直方向の画素情報の情報量を低減し、高フレームレート化を実現していた。すなわち、デジタルスチルカメラでは、高フレームレート化のための一手法として、間引き読み出しの技術を用いていた。

【0005】

【発明が解決しようとする課題】 このように、間引き読み出しが可能なCCD型撮像素子において、間引きの対象となるライン（行）の画素に着目すると、モニタリングモードでは間引きの対象となるが、通常の静止画モードでは他のラインの画素と同様に信号電荷の読み出しが行われるため、信号電荷を読み出すラインでは動作モードに拘らずその駆動形態は同じであるのに対して、間引きの対象となるラインではモニタリングモードと静止画モードとでその駆動形態が異なる。

【0006】 したがって、間引き読み出しが可能な従来のCCD型撮像素子では、信号電荷を読み出すライン用と間引き対象のライン用の2系統の駆動系（駆動パルス、駆動端子、配線など）を用意する必要があり、しかも一度設定した駆動系は以降変更できず、ハード的に固定となるため、予め決められた特定の間引き率しか実現できなく、したがって垂直圧縮率を任意に設定することができなかった。

【0007】 本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、垂直方向の圧縮率を任意に設定可能な固体撮像素子およびその駆動方法並びにカメラシステムを提供することにある。

【0008】

【課題を解決するための手段】上記目的を達成するため、本発明では、行列状に配置されて光電変換を行う複数のセンサ部と、これらセンサ部から読み出された信号電荷を垂直転送する垂直転送部と、この垂直転送部から移送された信号電荷を水平転送する水平転送部とを具備する固体撮像素子において、垂直転送部から水平転送部への信号電荷の転送を行単位で選択的に阻止しかつ排出する構成を採っている。また、本発明によるカメラシステムは、上記構成の固体撮像素子を撮像デバイスとして用いた構成となっている。

【0009】上記構成の固体撮像素子およびこれを撮像デバイスとして用いたカメラシステムにおいて、垂直転送部から水平転送部へ信号電荷を転送する過程で、行単位で信号電荷を排出することにより、センサ部から信号電荷を読み出す際に信号電荷の間引き読み出しを行わなくても、垂直方向における行（ライン）単位での間引き、即ち垂直圧縮（以下、これをライン間引き圧縮と称す）を実現できる。

【0010】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。図1は、本発明の一実施形態に係る全画素読み出し方式CCD型撮像素子を示す概略構成図である。本実施形態に係る全画素読み出し方式CCD型撮像素子は、全画素読み出しモードの他に、垂直方向において画素情報を間引く処理を行うライン間引き圧縮モードをとり得るものとする。

【0011】図1において、撮像部（撮像エリア）11は、半導体基板上に行列状に配置された複数個のセンサ部（画素）12と、これらセンサ部12の垂直列ごとにその配列方向に沿って設けられた複数本の垂直（V）CCD（垂直転送部）13と、各センサ部12から垂直CCD13へ信号電荷を読み出す読み出しゲート部14とを有する構成となっている。

【0012】この撮像部11において、センサ部12は例えばPN接合のフォトダイオードからなり、入射光をその光量に応じた電荷量の信号電荷に変換して蓄積する。垂直CCD13は、例えば4相の垂直転送クロック $V\phi 1 \sim V\phi 4$ によって転送駆動され、読み出しゲート部14を通して各センサ部12から読み出された信号電荷を混合することなく、ライン（行）単位で順に垂直転送する（以下、これをラインシフトと称す）。

【0013】撮像部11の下側には、垂直CCD13からラインシフトされる信号電荷を水平転送する水平

（H）CCD15が配置されている。水平CCD15は、例えば2相の水平転送クロック $H\phi 1$ 、 $H\phi 2$ によって転送駆動される。水平CCD15の転送先側の端部には、例えばフローティング・ディフュージョン・アンブからなる電荷電圧変換部16が配されている。

【0014】また、複数本の垂直CCD13と水平CCD14との間のVH転送部には、垂直CCD13から水

平CCD15への信号電荷の転送をライン単位で選択的に阻止しかつ排出する電荷排出制御部17が設けられている。この電荷排出制御部17は、通常撮像モード、即ち静止画モードでは、複数本の垂直CCD13から1ラインずつ送り込まれる信号電荷をそのまま水平CCD15へ転送する一方、ライン間引き圧縮モード（例えば、モニタリングモード）では、複数本の垂直CCD13から送り込まれる所定ラインの信号電荷についてその転送を阻止しかつ排出する。

10 【0015】以下、この電荷排出制御部17の構成について詳細に説明する。図2は、電荷排出制御部17の具体的な構成の第1例を示す平面パターン図であり、その周辺部を含んで示している。

【0016】先ず、垂直CCD13は、信号電荷を転送する転送チャネル21と、この転送チャネル21の上方にその転送方向にオーバーラップした状態で繰り返して配列された4相の転送電極22-1～22-4とを有する構成となっている。これら転送電極22-1～22-4において、2相目の転送電極22-2と4相目の転送電極22-4が1層目のポリシリコン（図中、一点鎖線で示す）によって形成され、1相目の転送電極22-1と3相目の転送電極22-3が2層目のポリシリコン（図中、二点鎖線で示す）によって形成された2層電極構造となっている。

【0017】電荷排出制御部17は、転送チャネル21の上方にその転送方向にオーバーラップした状態で順に配列されたストレージゲート電極23およびホールドゲート電極24を有している。これらゲート電極23、24のうち、ストレージゲート電極23は2層目のポリシリコン（図中、二点鎖線で示す）によって形成され、ホールドゲート電極24は1層目のポリシリコン（図中、一点鎖線で示す）によって形成されている。そして、ストレージゲート電極23には所定の直流電圧がストレージゲート電圧 $V_{Storage}$ として印加され、ホールド電極24にはホールドゲート電圧 $V_{\phi Hold}$ が制御電圧として印加される。

【0018】また、転送チャネル21、21間の領域15の各々においては、ストレージゲート電極23およびホールドゲート電極24がオーバーラップしておらず、領域25の各々には電荷排出部であるオーバーフロードレイン（OFD）26が形成されている。これらオーバーフロードレイン26には、パターン配線（図中、点線で示す）を通してドレイン電圧 $V_{\phi Drain}$ が印加される。

【0019】そして、転送チャネル21と領域25との間で、かつストレージゲート電極23の下の部分（図中、ハッチング部分）が、転送チャネル21中の信号電荷をオーバーフロードレイン26へ選択的に排出するためのオーバーフローバリア（OFB）27となっている。

50 【0020】水平CCD15は、垂直CCD13の転送

チャンネル21に連続する転送チャンネル28と、この転送チャンネル28の上方にその転送方向にオーバーラップした状態で繰り返して配列された転送電極29および蓄積電極30の電極対とを有する構成となっている。そして、転送電極29が2層目のポリシリコン（図中、二点鎖線で示す）によって形成され、蓄積電極30が1層目のポリシリコン（図中、一点鎖線で示す）によって形成された2層電極構造となっている。

【0021】この水平CCD15において、繰り返し配列された電極対（転送電極29および蓄積電極30）には、水平転送クロック $H\phi 1$ 、 $H\phi 2$ が交互に印加される。また、垂直CCD13の転送チャンネル21の延長線上に位置する転送電極29の端部29Aは、電荷排出制御部17のホールドゲート電極24まで延在しかつこのホールドゲート電極24とオーバーラップするように形成されている。

【0022】次に、上記構成の電荷排出制御部17の各撮像モードごとの動作について、図3および図4のポテンシャル動作図を用いて説明する。図3は図2のA-A'線断面（転送方向の断面）のポテンシャル図であり、図4は図2のB-B'線断面（掃き出しドレイン部の断面）のポテンシャル図である。

【0023】まず、通常撮像モードでの通常転送時の動作について、図5のタイミングチャートを用いて説明する。このタイミングチャートから明らかなように、通常転送時には、ホールドゲート電極24に“H”レベルのホールドゲート電圧 $V\phi Hold$ が印加され、オーバーフロードレイン26（OFD）に“L”レベルのドレイン電圧 $V\phi Drain$ が印加される。

【0024】これにより、オーバーフローバリア27のポテンシャルがストレージゲート電極23下の転送チャンネル21のポテンシャルよりも浅い状態となる。また、ホールドゲート電極24の下のポテンシャルが深くなり、よって転送チャンネル21中を転送される信号電荷がホールドゲート電極24の下を通過可能な状態となる。この状態において、4相の垂直転送クロック $V\phi 1 \sim V\phi 4$ によって垂直CCD13が転送駆動されることにより、センサ部12から垂直CCD13に読み出された信号電荷がライン単位（行単位）で水平CCD15へ移送（ラインシフト）される。

【0025】水平CCD15へシフトされた1ライン分の信号電荷は、2相の水平転送クロック $H\phi 1$ 、 $H\phi 2$ によって水平CCD15が転送駆動されることにより、順次電荷電圧変換部16へ転送され、ここで信号電圧に変換されて出力される。以上のラインシフトおよび水平転送の繰り返しにより、全画素の信号電荷が撮像部11から読み出され、CCD出力として導出される。

【0026】ここでは、通常転送時の動作として、通常撮像モードでの転送動作を例にとって説明したが、以下に説明するライン間引き圧縮モードにおいて、間引き対

象となるライン以外、即ち読み出し対象のラインのラインの転送動作についても全く同じ転送動作が行われる。

【0027】続いて、ライン間引き圧縮モードでのラインリセット時の動作について、図6のタイミングチャートを用いて説明する。なお、図4のポテンシャル図において、（A）は期間T0のポテンシャルを、（B）は期間T1のポテンシャルをそれぞれ示している。

【0028】まず、間引き対象ラインである特定ラインの1ライン前の信号電荷について、上述したラインシフトおよび水平転送が終了した時点で、ホールドゲート電圧 $V\phi Hold$ が“H”レベルから“L”レベルに遷移し、ドレイン電圧 $V\phi Drain$ が“L”レベルから“H”レベルに遷移する。これにより、オーバーフロードレイン26のポテンシャルが深い状態となる。このとき、ドレイン電圧 $V\phi Drain$ による電圧変調により、オーバーフローバリア（OFB）27のポテンシャルが、転送チャンネル21のポテンシャルよりも深くなる。

【0029】また、ホールドゲート電極24の下のポテンシャルが浅くなり、このポテンシャルバリアによって転送チャンネル21中を転送される信号電荷の水平CCD15への転送が阻止される状態となる。この状態において、4相の垂直転送クロック $V\phi 1 \sim V\phi 4$ による垂直CCD13の転送駆動より、特定ラインの信号電荷についてラインシフトが行われる。このラインシフト後の期間T1では、ストレージゲート電極23の下に転送された信号電荷は、ホールドゲート電極24の下のポテンシャルバリアによって水平CCD15への転送が阻止される。

【0030】このとき、図4（B）のポテンシャル図から明らかなように、オーバーフローバリア27のポテンシャルが転送チャンネル21のポテンシャルよりも深く、さらにオーバーフロードレイン26のポテンシャルがオーバーフローバリア27のポテンシャルよりも深いことから、ストレージゲート電極23の下に転送された信号電荷は、オーバーフローバリア27を通してオーバーフロードレイン26へ完全に掃き出される。これが、特定ラインの信号電荷を完全に排出するラインリセット動作となる。

【0031】特定ラインについてのラインリセット動作が終了すると、再びラインシフト期間T2に入り、ホールドゲート電圧 $V\phi Hold$ が“L”レベルから“H”レベルに遷移し、ドレイン電圧 $V\phi Drain$ が“H”レベルから“L”レベルに遷移する。そして、先述した通常転送時のラインシフトおよび水平転送の各動作が繰り返して実行される。

【0032】上述したように、垂直CCD13と水平CCD15との間のVH転送部に、ホールドゲート電極24、ストレージゲート電極23およびオーバーフロードレイン26を設けて電荷排出制御部17を構成し、制御

電圧であるドレイン電圧 $V_{\phi Drain}$ によってオーバーフロードレイン26を電圧変調するようにしたことにより、電荷排出制御部17に転送されてきた信号電荷をライン単位で完全に掃き出すことができる。

【0033】間引きラインシフトT1を所望の回数繰り返した後、ラインシフトT2を行うことで、任意のラインの信号電荷を簡単に間引くことができる。しかも、センサ部12から信号電荷を読み出す際に間引くのではなく、VH転送部におけるライン単位での完全掃き出しによって間引くようにしていることから、ドレイン電圧 $V_{\phi Drain}$ およびホールドゲート電圧 $V_{\phi Hold}$ のタイミング制御のみによってライン間引き動作を実現できる。したがって、ライン間引きによる垂直圧縮の圧縮率を任意に設定できるため、任意のフレームレートを実現できる。

【0034】図7は、電荷排出制御部17の具体的な構成の第2例を示す平面パターン図である。

【0035】本例に係る電荷排出制御部17においても、転送チャンネル21の上方にその転送方向にオーバーラップした状態で順に配列されたストレージゲート電極23およびホールドゲート電極24を有するとともに、転送チャンネル21、21間の領域15の各々にオーバーフロードレイン26が形成されている点では、第1例の場合と同じである。

【0036】構成上異なるのは、第1例の場合には、ストレージゲート電極23に所定の直流電圧をストレージゲート電圧 $V_{Storage}$ として印加するようにしているのに対して、本例では、パターン配線(図中、点線で示す)を通してストレージゲート電極23にもオーバーフロードレイン26と同じドレイン電圧 $V_{\phi Drain}$ を印加するようにしている点である。

【0037】このように、ストレージゲート電極23およびオーバーフロードレイン26を同電位に設定し、制御電圧であるドレイン電圧 $V_{\phi Drain}$ によってオーバーフロードレイン26を変調すると同時に、ストレージゲート電極23の下のオーバーフローバリア27も変調するようにしたことより、図8のポテンシャル動作図から明らかなように、第1例の場合と同様に、電荷排出部17に転送されてきた信号電荷をライン単位で完全に掃き出すことができる。

【0038】なお、図8は図7のC-C'線断面のポテンシャル動作図であり、(A)は図6のタイミングチャートにおける期間T0のポテンシャルを、(B)は期間T1のポテンシャルをそれぞれ示している。

【0039】本例に係る電荷排出制御部17の構成の場合には、オーバーフロードレイン26と同時にストレージゲート電極23に対してもコンタクトをとれることから、オーバーフロードレイン26のコンタクトとストレージゲート電極23との間に合わせズレの領域を確保する必要がなくなるという利点がある。

【0040】また、ストレージゲート電極23の下の転送方向のチャンネル長を意図的に短くすることで、その上流および下流に隣接する転送電極22-4およびホールドゲート電極24の下の転送チャンネルの変調を利用してストレージゲート電極23の下の転送チャンネルのポテンシャルを、オーバーフローバリア27のポテンシャルよりも浅くできるため、ラインリセットを完全に行うことができる。この構造は、パターンの微細化に最適な構造となる。

10 【0041】なお、以上説明した各例では、オーバーフロードレイン26を1本の転送チャンネル21に対してその両側に配置し、1本の転送チャンネル21によって転送される信号電荷を両側のオーバーフロードレイン26、26に掃き出す構成をとっているが、必ずしもこの構成に限られるものではない。

【0042】すなわち、オーバーフロードレイン26の左右にオーバーフローバリア27を設けることができるので、図9に示すように、オーバーフロードレイン26を2本の転送チャンネル21、21に対して1個、即ち水平1画素おきに配置する構成を採ることも可能である。ここでは、第1例への適用例を示したが、第2例にも同様に適用可能であることは言うまでもない。

【0043】また、転送チャンネル21の形状を工夫することにより、即ち図10に示すように、オーバーフロードレイン26を配置する部分で、転送チャンネル21を屈曲させた形状に形成することにより、転送チャンネル21、21間の非常に狭い領域にオーバーフロードレイン26を配置するに当たって、オーバーフロードレイン26のパターンレイアウトをラフに設計できるようになる。

【0044】図11は、本実施形態に係るCCD撮像素子を撮像デバイスとして用いた本発明に係るカメラシステムの構成の一例を示すブロック図である。

【0045】本カメラシステムは、CCD型撮像素子31、光学系の一部を構成するレンズ32、CCD型撮像素子31を駆動するCCD駆動回路33、撮像モードを設定する撮像モード設定部34およびCCD型撮像素子31の出力信号に対して各種の信号処理をなす信号処理回路35を有する構成となっている。

40 【0046】かかる構成のカメラシステムにおいて、被写体(図示せず)からの入射光(像光)は、光学系のレンズ32によってCCD型撮像素子31の撮像面上に結像される。CCD型撮像素子31としては、静止画撮像に対応した多画素のものが用いられる。このCCD型撮像素子31は、CCD駆動回路33により、撮像モード設定部34で設定された撮像モードに応じて駆動される。

50 【0047】CCD駆動回路33からは、図1において説明した垂直転送クロック $V_{\phi 1} \sim V_{\phi 4}$ 、水平転送クロック $H_{\phi 1}$ 、 $H_{\phi 2}$ 、ドレイン電圧 $V_{\phi Drain}$ 、

ホールドゲート電圧 $V_{\phi Hold}$ 等の各種の駆動信号が出力され、これら駆動信号に基づいて、センサ部12からの信号電荷の読み出し、垂直CCD13での垂直転送、水平CCD15での水平転送、電荷排出制御部17での信号電荷のライン単位での間引き等の処理が行われる。

【0048】ここで、撮像モード設定部34では、静止画を得る静止画モードと、撮像中の画像を例えば液晶TVモニタ（図示せず）に動画として写し出すモニタリングモードとのモード設定が可能となっている。CCD駆動回路33は、撮像モード設定部34で静止画モードが設定されたときには、CCD型撮像素子31を全画素読み出し駆動、即ち全画素からの信号電荷の読み出し、垂直転送および水平転送の各駆動を行う。

【0049】CCD駆動回路33はさらに、撮像モード設定部34でモニタリングモードが設定されたときには、フレームレートを上げるべく、ライン間引きによる垂直圧縮を実現するようにCCD型撮像素子31を駆動する。ここで、簡単のために、一例として1/2の垂直圧縮を行う場合を考えると、CCD駆動回路33は、図6のタイミングチャートに示したように、“L”レベルのホールドゲート電圧 $V_{\phi Hold}$ および“H”レベルのドレイン電圧 $V_{\phi Drain}$ を毎ライン出力することで、1ラインおきのライン間引きを行う。

【0050】このことから明らかなように、ホールドゲート電圧 $V_{\phi Hold}$ およびドレイン電圧 $V_{\phi Drain}$ のタイミングを制御するだけで、任意のライン間引きを実現できる。したがって、撮像モード設定部34から垂直圧縮率をも設定できるようにする一方、CCD駆動回路33ではその設定された垂直圧縮率に応じたライン間引きのタイミングで“L”レベルのホールドゲート電圧 $V_{\phi Hold}$ および“H”レベルのドレイン電圧 $V_{\phi Drain}$ を出力する構成とすることで、ライン間引きによる垂直圧縮率を任意に設定可能となる。

【0051】なお、ここでは、モニタリングモード設定時のライン間引きの場合を例にとって説明したが、静止画用多画素のCCD型撮像素子31からNTSCやPAL等のテレビジョン方式へのダウンコンバージョンを行う際にも、そのライン間引き処理によって垂直圧縮を行うことで高フレームレート化が実現できる。

【0052】

【発明の効果】以上説明したように、本発明によれば、

垂直転送部から水平転送部への信号電荷の転送を行単位で選択的に阻止しかつ排出する構成とし、垂直転送部から水平転送部へ信号電荷を転送する過程でライン単位で信号電荷を排出することで、センサ部から信号電荷を読み出す際に信号電荷の間引き読み出しを行わなくても、垂直方向におけるライン単位での間引きを簡単に実現できるため、タイミング制御のみによって垂直圧縮率を任意に設定できることになる。

【図面の簡単な説明】

10 【図1】本発明の一実施形態に係る全画素読み出し方式CCD型撮像素子を示す概略構成図である。

【図2】電荷排出制御部の具体的な構成の第1例を示す平面パターン図である。

【図3】第1例に係る電荷排出制御部のポテンシャル動作図であり、図2のA-A'線断面のポテンシャル分布を示している。

【図4】第1例に係る電荷排出制御部のポテンシャル動作図であり、図2のB-B'線断面のポテンシャル分布を示している。

20 【図5】通常転送時の動作説明のためのタイミングチャートである。

【図6】ラインリセット時の動作説明のためのタイミングチャートである。

【図7】電荷排出制御部の具体的な構成の第2例を示す平面パターン図である。

【図8】第2例に係る電荷排出制御部のポテンシャル動作図であり、図7のC-C'線断面のポテンシャル分布を示している。

30 【図9】電荷排出制御部の具体的な構成の変形例を示す平面パターン図である。

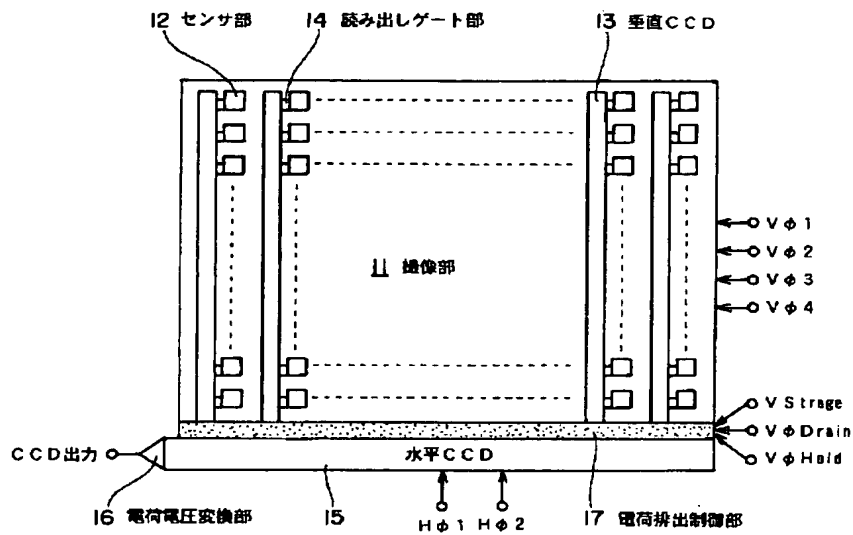
【図10】電荷排出制御部の具体的な構成の他の変形例を示す平面パターン図である。

【図11】本発明に係るカメラシステムの構成の一例を示すブロック図ある。

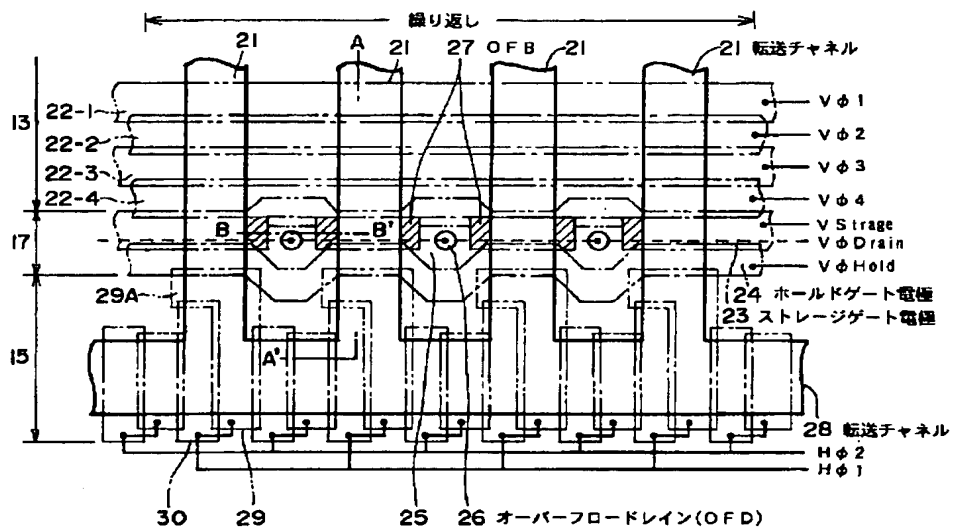
【符号の説明】

12…センサ部、13…垂直CCD、15…水平CCD、17…電荷排出制御部、21、28…転送チャネル、22-1~22-4…転送電極、23…ストレージゲート電極、24…ホールドゲート電極、26…オーバーフロードレイン（OFD）、27…オーバーフローバリア（OFB）、31…CCD型撮像素子、33…CCD駆動回路、34…撮像モード設定部、35…信号処理回路

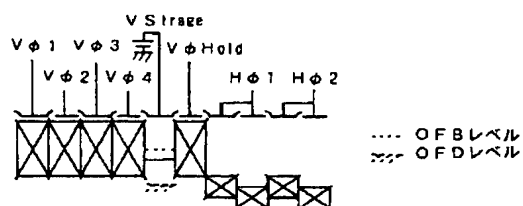
【図1】



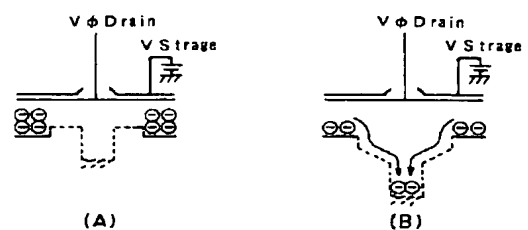
【図2】



【図3】



【図4】



【図 7】

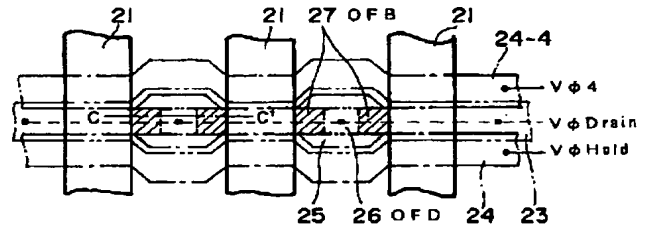
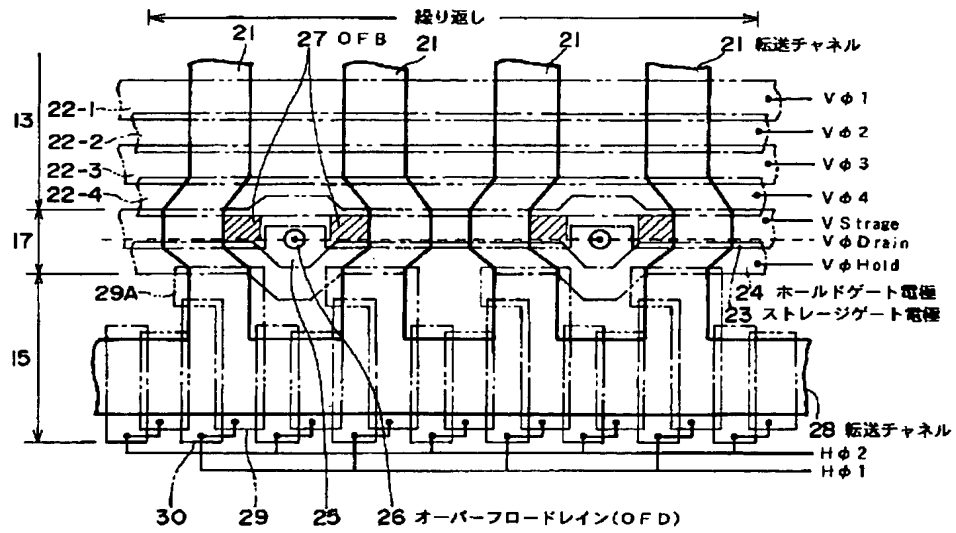


Figure 1 is a plan view of a semiconductor device. It shows a series of vertical structures (21) and horizontal lines (22-1 to 22-4). A central horizontal line (17) is labeled "Vφ Drain". Other labels include "Vφ 1", "Vφ 2", "Vφ 3", "Vφ 4", "Vφ Strage", "Vφ Hold", "24 ホールドゲート電極", "23 ストレージゲート電極", "28 転送チャネル", "Hφ 2", "Hφ 1", "29A", "29", "25", "26", "30", "27 OFB", "21", "21", "21", "21", "21", "転送チャネル", "繰り返し", "オーバーフローライン(OFD)".

【図10】



【図11】

